



Faculty of  
Science and  
Technology  
Tokushima University

# 学習向けCPUに関する研究

[キーワード: 学習向けCPU, FPGA, VHDL]

准教授 佐野雅彦

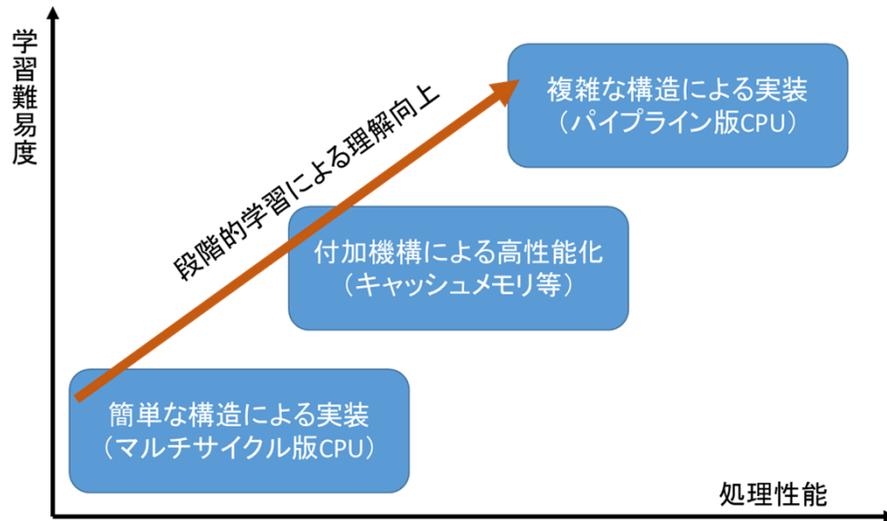


図1 段階的実装による学習

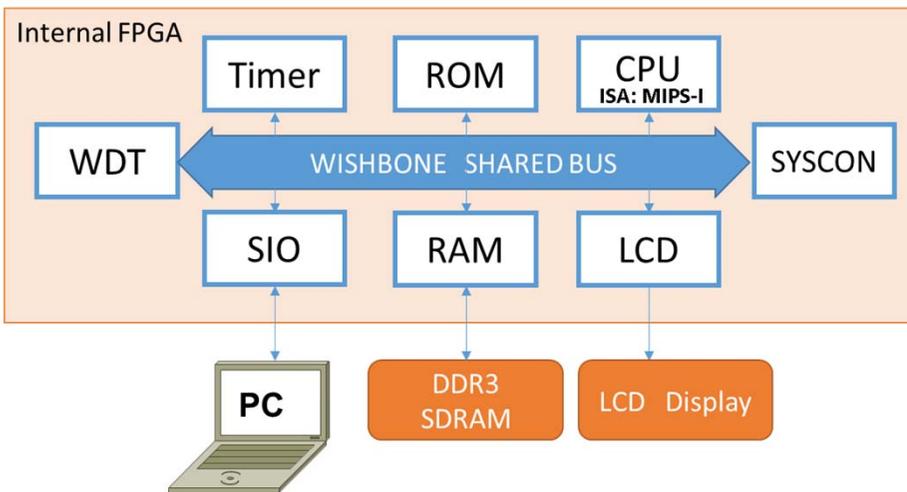


図2 実装されたシステム

内容:

CPUアーキテクチャの概略は簡易モデルや動作をエミュレートしたソフトウェアCPUから学習できる。しかし、実際に動作するアーキテクチャは複雑であり、学習者にとって大きな理解の壁となっている。このため、実用動作しかつ段階的な学習を可能とするCPUの実装が必要とされている(図1)。

本研究では、書き換え可能なICであるFPGA (Field Programmable Gate Array)上にハードウェア記述言語VHDLを用いてCPU及び関連ハードウェアの実装を行うことで、学習者がハードウェアを書き換えることによる段階的なアーキテクチャ学習のための基本実装例の実現を目指す。CPUの命令セット(ISA)には、基本命令数が少なく、構造的にシンプルなMIPS-Iを採用し、MIPS-R3000互換CPUとしての動作を想定している。さらに、簡単なモニタプログラムではなく、仮想記憶を含む実用OSの動作を可能とするための、例外処理やメモリ管理装置及びその他の周辺回路もFPGA上に実装することにより、Unix系OSであるNetBSDの動作を確認している。現在、マルチサイクル版CPUのみ実装しているが、高性能化した実装や周辺ハードウェア等実装により、CPUだけでなく周辺ハードウェアを含めたアーキテクチャ学習のための実装として期待できる(図2)。

分野: 情報学

専門: 計算基盤

E-mail: sano@tokushima-u.ac.jp

Tel. 088-656-7555

Fax: 088-656-9122

