



微小遅延故障検出用テスト容易化設計の開発

[キーワード: テスト容易化設計, 遅延故障, テストコスト削減] 教授 四柳 浩之

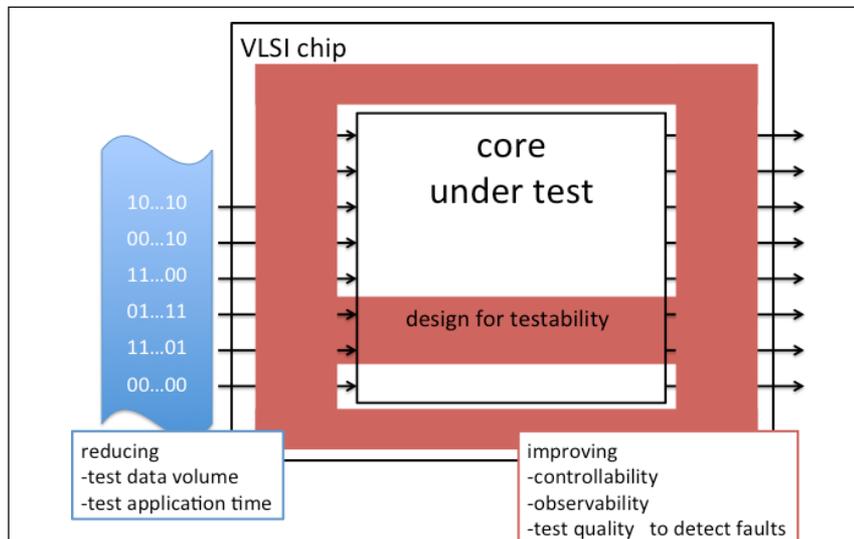


図1 テスト容易化設計の概念図

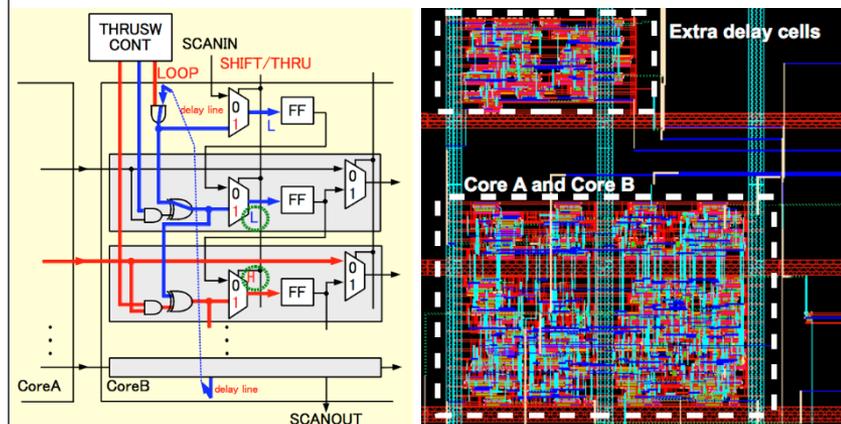


図2 TDC組み型
バウンダリスキャン(TDCBS)

図3 TDCBSの試作
レイアウト図

内容:

LSIの高集積化に伴い、テストコストが重要な問題となっている。テストコストの低減のために、様々なテスト容易化設計が提案・使用されている。テスト容易化設計は、図1の概念図のように検査対象回路(コア)の内部および外部にテストコストを低減させるための付加回路を設ける技術である。我々は、特に近年問題となっている微小遅延故障を対象に、テストデータ量、テスト実行時間、テスト用の付加面積の低減や、テスト品質の向上を目的とした研究を行っている。図2に開発したテスト容易化設計の1例を示す。VLSIチップ内部およびVLSIチップ間接続で発生する微小遅延の検出を容易とするために、Time-to-Digital Converter (TDC)を構成可能なバウンダリスキャン回路(TDCBS)を作成し、信号遷移の発生したタイミングの測定を可能とした。これにより、クロック周期内に信号遷移が収まっているか否かのテストのみではなく、見逃しの少ない遅延故障テストを行うことができる。提案したテスト容易化設計の故障検出能力などの有効性については、シミュレーションおよび試作チップによる評価を行っている。

分野: 計算機システム

専門: 計算機工学

E-mail: h.yotsuyanagi@tokushima-u.ac.jp

Tel. 088-656-9183

Fax: 088-656-9183

